

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 1 9 9 9 年 1 1 月 5 日

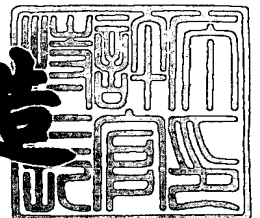
出 願 番 号  
Application Number: 平成 1 1 年 特 許 願 第 3 1 5 8 8 4 号

出 願 人  
Applicant (s): 株式会社東芝

2 0 0 0 年 7 月 2 1 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 5 8 1 2 5

【書類名】 特許願

【整理番号】 A009906654

【提出日】 平成11年11月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/00

【発明の名称】 シミュレーション方法およびシミュレーション装置

【請求項の数】 8

【発明者】

    【住所又は居所】 東京都青梅市末広町 2 丁目 9 番地 株式会社東芝青梅工場内

    【氏名】 相沢 英夫

【発明者】

    【住所又は居所】 東京都青梅市新町 3 丁目 3 番地の 1 東芝コンピュータエンジニアリング株式会社内

    【氏名】 来住野 真人

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100084618

    【弁理士】

    【氏名又は名称】 村松 貞男

【選任した代理人】

    【識別番号】 100068814

○  
【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シミュレーション方法およびシミュレーション装置

【特許請求の範囲】

【請求項 1】 メモリの動作をシミュレーションするためのシミュレーション方法であって、

前記メモリのメモリアドレス空間を指定するメモリアドレスの第 1 ビット部を、前記メモリの動作を記述したメモリモデルに対して与え、前記メモリアドレスの第 1 ビット部で指定された番地に対するリード／ライト動作を前記メモリモデルを用いてシミュレーションするメモリ動作シミュレーションステップと、

前記メモリアドレスの第 2 ビット部の値に応じて、前記メモリモデルに与えられるライトデータまたは前記メモリモデルから読み出されるリードデータに対して変更を施し、前記メモリモデルのリード／ライト動作にエラーを発生させるエラー生成ステップとを具備することを特徴とするシミュレーション方法。

【請求項 2】 前記メモリアドレスの第 2 ビット部には、エラー発生位置を指定するためのエラーアドレス指定情報と、エラー発生の内容を指定するためのエラーモード情報とが含まれており、

前記エラー生成ステップは、

前記メモリアドレスの第 1 ビット部の値が前記エラーアドレス指定情報で指定された値に一致した場合、前記エラーモード情報に従って、前記メモリモデルに与えられるライトデータまたは前記メモリモデルから読み出されるリードデータに対して変更を施すことを特徴とする請求項 1 記載のシミュレーション方法。

【請求項 3】 前記メモリ動作シミュレーションステップおよび前記エラー生成ステップは、コンピュータ読み取り可能な記録媒体にコンピュータプログラムとして記録されていることを特徴とする請求項 1 記載のシミュレーション方法。

【請求項 4】 前記メモリモデルは、所定のデータサイズ単位でライトデータとそのエラー訂正コードとが対応づけて書き込まれる不揮発性メモリの動作を記述したものであり、

前記不揮発性メモリを制御するためのメモリコントローラの動作を記述した L

S I モデルを用いて、前記メモリモデルから読み出されるリードデータとエラー訂正コードとに基づく前記メモリコントローラのエラー訂正動作をシミュレーションするステップをさらに具備することを特徴とする請求項 1 記載のシミュレーション方法。

【請求項 5】 前記エラー生成ステップは、

前記メモリモデルに与えられるライトデータまたは前記メモリモデルから読み出されるリードデータに対して、前記エラー訂正コードによってエラー訂正可能なビット数分の変更を加える第 1 エラーモードと、前記エラー訂正コードによってエラー訂正不可能なビット数分の変更を加える第 2 エラーモードとを有し、

前記メモリアドレスの第 2 ビット部の値に応じて、前記第 1 エラーモードと前記第 2 エラーモードのいずれか一方のエラーモードが選択されることを特徴とする請求項 4 記載のシミュレーション方法。

【請求項 6】 メモリの動作をシミュレーションするためのシミュレーション方法であって、

前記メモリのメモリアドレス空間に対応するメモリアドレスの下位ビット部で指定可能なメモリアドレス空間を有するメモリモデルを用い、前記メモリアドレスの下位ビット部で指定された番地に対するリード／ライト動作をシミュレーションするメモリ動作シミュレーションステップと、

前記メモリモデルに与えられるライトデータまたは前記メモリモデルから読み出されるリードデータに対して変更を施し、前記メモリモデルのリード／ライト動作にエラーを発生させるエラー生成ステップと、

前記メモリアドレスの上位ビット部の値に応じて、前記エラー生成ステップに対してエラー発生位置とエラー内容を指示するステップとを具備することを特徴とするシミュレーション方法。

【請求項 7】 メモリの動作をシミュレーションするためのシミュレーション装置であって、

前記メモリのメモリアドレス空間に対応するメモリアドレスの第 1 ビット部が入力され、前記メモリアドレスの第 1 ビット部で指定された番地に対するリード／ライト動作を実行するメモリ動作シミュレーション手段と、

前記メモリアドレスの第 2 ビット部の値に応じて、前記メモリ動作シミュレーション手段に与えられるライトデータまたは前記メモリ動作シミュレーション手段から読み出されるリードデータに対して変更を施し、前記メモリ動作シミュレーション手段のリード／ライト動作にエラーを発生させるエラー生成手段とを具備することを特徴とするシミュレーション装置。

【請求項 8】 前記メモリアドレスの第 2 ビット部には、エラー発生位置を指定するためのエラーアドレス指定情報と、エラー発生の内容を指定するためのエラーモード情報とが含まれており、

前記エラー生成手段は、

前記メモリアドレスの第 1 ビット部の値と前記エラーアドレス指定情報で指定された値との一致の有無を検出する手段と、

前記メモリアドレスの第 1 ビット部の値と前記エラーアドレス指定情報で指定された値とが一致した場合、前記エラーモード情報に従って、前記メモリモデルに与えられるライトデータまたは前記メモリモデルから読み出されるリードデータの一部のビットを反転させる手段とを含むことを特徴とする請求項 7 記載のシミュレーション装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はメモリ動作をシミュレーションするためのシミュレーション方法およびシミュレーション装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、L S I などの設計対象ハードウェアの大規模化等に伴い、その開発にあたっては、設計対象ハードウェアの機能仕様をハードウェア記述言語などのプログラムによって記述して、その動作をシミュレーションするという設計手法が定着しつつある。これにより、開発対象の L S I の動作検証を効率よく行うことができる。

【 0 0 0 3 】

メモリを制御する機能を持つ L S I の動作を検証する場合には、その L S I の機能モデルの他に、制御対象となるメモリの動作を記述した外部メモリモデルを用意することが必要となる。この場合、一般に、外部メモリモデルは、ライトしたデータが正確にリードできるというメモリを前提にして記述される。これは、DRAM や S R A M などにおいてはライトしたデータを正確にリードすることができるのが通常であるので、ライトしたデータをそのままリードできるような外部メモリモデルさえ用意すれば、L S I の動作を正しく検証することができるためである。

【0 0 0 4】

【発明が解決しようとする課題】

しかし、最近では、例えばフラッシュメモリなどのようにライトしたデータを必ずしも正しくリードすることができないようなメモリ製品が増え始めており、メモリエラーに対する対処機能を持つシステムの開発が必要とされている。例えば、フラッシュメモリを用いたメモリシステムでは、メモリエラーに対処するため、所定のライトデータ単位で E C C を生成してその E C C をライトデータと一緒にフラッシュメモリに記憶しておき、データ読み出し時には、メモリコントローラが E C C によってリードデータのエラー検出／訂正を行うという構成が用いられている。

【0 0 0 5】

この場合、メモリコントローラを正しく動作検証するためには、エラー発生機能を持つ新たな外部メモリモデルを用意することが必要となる。

【0 0 0 6】

本発明は上述の事情に鑑みてなされたものであり、メモリのエラー動作についても容易にシミュレーションできるようにし、メモリエラー発生時の L S I の動作を正しく検証することが可能なシミュレーション方法およびシミュレーション装置を提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】

上述の課題を解決するため、本発明は、メモリの動作をシミュレーションする

○

ためのシミュレーション方法であって、前記メモリのメモリアドレス空間を指定するメモリアドレスの第1ビット部を、前記メモリの動作を記述したメモリモデルに対して与え、前記メモリアドレスの第1ビット部で指定された番地に対するリード／ライト動作を前記メモリモデルを用いてシミュレーションするメモリ動作シミュレーションステップと、前記メモリアドレスの第2ビット部の値に応じて、前記メモリモデルに与えられるライトデータまたは前記メモリモデルから読み出されるリードデータに対して変更を施し、前記メモリモデルのリード／ライト動作にエラーを発生させるエラー生成ステップとを具備することを特徴とする。

#### 【0008】

このシミュレーション方法においては、メモリ動作シミュレーションステップに加え、エラー生成ステップが追加されており、メモリアドレスの設定のみによって、容易にメモリモデルのリード／ライト動作にエラーを発生させることができる。エラー発生を指示するためのメモリアドレスとしては、メモリ動作シミュレーションでは使用されていない空きビット部が用いられる。このため、エラー発生を指示するための専用の信号線の記述等を新たに用意する必要はなく、アドレス、データ等の通常の記述のみで、エラーを含むメモリ動作を、シミュレーションすることができる。また、メモリ動作のエラーは、メモリモデルに与えられるライトデータ、またはメモリモデルから読み出されるリードデータに対してビット反転などの変更を施すことによって引き起こされる。このため、ライトデータを正確に読み出すという通常のメモリモデル自体には一切変更を施す必要はなく、そのメモリモデルに、ライトデータ／リードデータのビット反転などの機能記述を追加したものを新たなメモリモデルとして使用するだけで、メモリのエラー動作をシミュレーションすることが可能となる。

#### 【0009】

また、メモリ動作シミュレーションでは使用されていない空きビット部には、エラー発生位置を指定するためのビット部とエラー発生の内容を指定するためのビット部をと定義することが好ましい。この場合、前記エラー生成ステップは、メモリアドレスの空きビット部の値に応じて、任意のアドレス位置に任意のエラー



を発生させることが可能となる。

【 0 0 1 0 】

また、前記メモリモデルとして、所定のデータ単位でライトデータとそのエラー訂正コードが書き込まれる不揮発性メモリの動作を記述したものをを使用する場合には、前記不揮発性メモリを制御するためのメモリコントローラの動作を記述した L S I モデルを用いて、前記メモリモデルから読み出されるリードデータとエラー訂正コードとに基づく前記メモリコントローラのエラー訂正動作をシミュレーションするステップをさらに設けることが好ましい。これにより、フラッシュメモリなどの不揮発性メモリを制御するためのメモリコントローラのエラー訂正動作を検証することが可能となる。

【 0 0 1 1 】

また、メモリコントローラのエラー訂正動作をシミュレーションする場合には、エラー訂正コードによってエラー訂正可能なビット数分の変更を加える第 1 エラーモードと、エラー訂正コードによってエラー訂正不可能なビット数分の変更を加える第 2 エラーモードとを選択的に利用できるようにする事により、メモリコントローラのエラー訂正動作を多角的に検証することが可能となる。

【 0 0 1 2 】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 1 3 】

図 1 には、本発明の一実施形態に係るシミュレーションシステムの機能構成が示されている。このシミュレーションシステムはメモリ制御機能を有する開発対象 L S I の動作を検証するために用いられるものであり、テストパターンファイル 1 0 から読み込んだテストパターンに従って L S I 動作をシミュレーションするためのコンピュータプログラム（シミュレーションプログラム）から構成されている。

【 0 0 1 4 】

このシミュレーションプログラムはハードウェア記述言語などによるハードウェアの記述に従って、そのハードウェアの動作をコンピュータ上でシミュレーシ

○  
ョンする。ハードウェア記述言語としては、VerilogHDLやVHDLなどを使用することができる。

## 【0015】

本シミュレーションプログラムには、図示のように、テストマスタモデル11、LSIモデル12、およびメモリモデル13が設けられている。これらモデルはそれぞれハードウェアの動作を記述したものであり、シミュレーション動作はこれらモデルの記述に従って実行される。

## 【0016】

本例では、LSIモデル12およびメモリモデル13が、メモリカード100に内蔵されたコントローラ101およびメモリ102それぞれの動作を記述した機能モデルである場合を想定している。メモリカード100は、NAND型フラッシュEEPROMなどの不揮発性半導体メモリから構成されるメモリ102を内蔵したメモリカードであり、コンピュータや他の電子機器の可換型記録媒体として使用される。コントローラ101は、メモリカード100が装着して使用されるホスト装置（コンピュータや他の電子機器）からの要求に応じてNAND型フラッシュEEPROMの制御を行うメモリコントローラである。

## 【0017】

テストマスタモデル11は、開発対象LSIを制御するホスト装置上のCPUやPCIバスマスタなどの動作を記述したモデルであり、メモリカード100の制御を行う。このテストマスタモデル11は、テストパターンファイル10からテストパターンを読み込み、そのテストパターンに従って、LSIモデル12を制御するための制御信号（CONTROL）を発行する機能を有している。また、テストマスタモデル11には、LSIモデル12との間でメモリデータ（DATA）の授受を行う機能も設けられている。

## 【0018】

LSIモデル12はメモリモデル13の制御機能を有する開発対象LSIの動作、つまりメモリカード100のコントローラ101の動作を記述したモデルであり、メモリモデル13に対してメモリアドレス（ADDRESS）およびメモリ制御信号（CONTROL）を発行する機能、メモリモデル13との間でメモ

リデータ (DATA) を授受する機能を有している。さらに、LSIモデル12には、ECC生成機能、およびECCチェック機能なども設けられている。

【0019】

メモリモデル13は開発対象LSIによって制御されるメモリの動作、つまりメモリカード100のメモリ102の動作を記述したモデルである。このメモリモデル13には、データのリード／ライト動作にエラーを発生させるための機能が含まれている。このエラー発生機能は、メモリモデル13に与えられるライトデータまたはメモリモデル13から読み出されるリードデータに対してメモリモデル13内で変更を施すことによって、リード／ライト動作にエラーを発生させるというものである。エラー発生機能の動作は、メモリアドレス (ADDRESS) の内、メモリ動作テストで使用されるビット部以外の他のビット部のアドレスによって制御される。

【0020】

以下、図2を参照して、エラー発生機能付きメモリモデル13の具体的な構成を説明する。

【0021】

図2に示されているように、メモリモデル13には、メモリモジュールモデル131、エラー制御モジュール132、および比較モジュール133が設けられている。

【0022】

メモリモジュールモデル131は、図1のメモリ102を構成するNAND型フラッシュEEPROMの動作を記述したモデルであり、ライトしたデータが正確にリードできるというメモリを前提にして記述されている。メモリモデル13には、NAND型フラッシュEEPROMの全てのアドレス空間分のテストを行う分のメモリ空間は必要ではないので、メモリモジュールモデル131には、メモリアドレス (ADDRESS) の下位ビット部 (ADDRESS\_L) によって指定可能なメモリ空間のみが定義されている。

【0023】

図1のLSIモデル12から発行されるメモリアドレス (ADDRESS) の

内、下位ビット部 (ADDRESS\_\_L) だけがメモリモジュールモデル 1 3 1 をアクセスするための有効メモリアドレス (MEM\_\_ADDRESS) としてメモリモジュールモデル 1 3 1 に与えられる。

【0 0 2 4】

エラー制御モジュール 1 3 2 は、図 1 の L S I モデル 1 2 からメモリモジュールモデル 1 3 1 に与えられるライトデータ、またはメモリモジュールモデル 1 3 1 から L S I モデル 1 2 に向けて読み出されるリードデータに対して、1 ビット反転、2 ビット反転、3 ビット反転などのデータ変更処理を施すための機能モデルである。このエラー制御モジュール 1 3 2 には、L S I モデル 1 2 からのメモリアドレス (ADDRESS) の上位ビット部 (ADDRESS\_\_U) がテストモード指示情報 (TEST\_\_MODE) として与えられ、どのようなデータ変更処理を実行するかはそのテストモード指示情報 (TEST\_\_MODE) によって指定される。

【0 0 2 5】

比較モジュール 1 3 3 には、L S I モデル 1 2 からメモリアドレス (ADDRESS) の中位ビット部 (ADDRESS\_\_M) がテストアドレス情報 (TEST\_\_ADDR) として与えられると共に、前述の有効メモリアドレス (MEM\_\_ADDRESS) が与えられる。テストアドレス情報 (TEST\_\_ADDR) はエラーを発生させたいアドレス (メモリモジュール 1 3 1 上の番地) を指定するためのものであり、テストアドレス情報 (TEST\_\_ADDR) で指定されたアドレスと有効メモリアドレス (MEM\_\_ADDRESS) の値が一致したときに、エラー制御モジュール 1 3 2 によるデータ変更処理動作が実行される。

【0 0 2 6】

メモリモデル 1 3 を用いたメモリ動作のシミュレーション動作は、通常のメモリ動作シミュレーションステップと、エラー生成ステップとから構成される。メモリ動作シミュレーションステップでは、メモリアドレス (ADDRESS) の下位ビット部 (ADDRESS\_\_L) で指定された番地に対する正常なリード／ライト動作がメモリモジュールモデル 1 3 1 によりシミュレーションされる。また、エラー生成ステップでは、比較モジュール 1 3 3 とエラー制御モジュール 1

32の機能により、メモリモジュールモデル131との間で授受されるライトデータ／リードデータにエラーが引き起こされる。

【0027】

さらに、エラー生成ステップにおいては、メモリアドレス (ADDRESS) の中位ビット部 (ADDRESS\_M) によって、下位ビット部 (ADDRESS\_L) の中でエラーを発生させたいアドレスを指定し、またメモリアドレス (ADDRESS) の上位ビット部 (ADDRESS\_U) によって、発生させるエラーの内容を指定することができる。

【0028】

LSIモデル12からのメモリアドレス (ADDRESS) はテストパターンファイル10に記述されたメモリアドレスであるので、テストパターンファイル10に記述する中位ビット部 (ADDRESS\_M) および上位ビット部 (ADDRESS\_U) の設定により、下位ビット部 (ADDRESS\_L) で指定されるメモリモジュールモデル131内の任意の記憶位置に対して任意のエラーを発生させることができる。

【0029】

次に、開発対象LSI12によって実際に制御されるNAND型フラッシュEEPROMの構成と、メモリモジュールモデル131に割り当てられるメモリアドレス空間について説明する。

【0030】

図3には、NAND型フラッシュEEPROMの具体的な構成の一例が示されている。NAND型フラッシュEEPROMは、メモリセルアレイ201と、データレジスタ202を備えている。メモリセルアレイ201は、例えば、32Kページ(行)×528(=512+16)列×8ビットのビット構成を有している。各ページは512バイトのデータ記憶領域と16バイト(またはそれ以上)の冗長領域を備えている。データの書き込みと読み出しは、基本的にはデータレジスタ202を介してページ単位で実行される。冗長領域は、データ記憶領域のデータに対応したECCの格納に利用される。冗長領域のサイズはメモリチップの種類等によって異なる。

## 【0 0 3 1】

NAND型フラッシュEEPROMはライトモード、リードモード、消去モードなどを有しており、これら動作モードはコントローラ101からの制御信号やコマンドによって指定される。

## 【0 0 3 2】

リードモードにおいてはページ単位でのリードが可能であり、この場合にはメモリセルアレイ201からデータレジスタ202へのページ単位（512+16）でのデータ転送が一括して行われる。そして、データレジスタ202に転送された1ページ分のデータは、アドレス入力およびデータ入出力のための入出力端子I/O<7:0>から8ビット単位で順次読み出される。データレジスタ202からのデータ読み出しは、カラムアドレスを内部的に順次インクリメントしながら実行される。また、もちろんページ内の任意の位置からのデータ読み出しやページ境界に跨るデータ読み出しも可能である。

## 【0 0 3 3】

ライトモードにおいてもページ単位でのライトが可能であり、この場合には入出力端子I/O<7:0>から8ビット単位でライトデータが順次データレジスタ202に書き込まれる。この書き込みも、カラムアドレスを内部的に順次インクリメントしながら実行される。そして1ページ分のライトデータ（512+16）が揃うと、データレジスタ202からメモリセルアレイ201へのデータ転送がページ単位で一括して行われる。もちろん、ライトモードにおいても、ページ内の任意の位置からのデータ書き込みやページ境界に跨るデータ書き込みを行うことが可能である。

## 【0 0 3 4】

図4には、メモリモジュールモデル131に割り当てられるメモリアドレス空間の一例が示されている。ここでは、32Kページの内、最初の4ページ分（ページ1～ページ4）のメモリ空間だけがメモリモジュールモデル131に割り当てられている。

## 【0 0 3 5】

メモリモジュールモデル131を用いたメモリの動作テスト、つまりメモリ動

作シミュレーションは、この 4 ページ分（ページ 1 ～ページ 4）のメモリアドレス空間の範囲内で行われる。

【0 0 3 6】

次に、図 5 を参照して、本実施形態におけるメモリアドレスの具体的な使用方法について説明する。

【0 0 3 7】

NAND 型フラッシュ EEPROM に対するメモリアドレス（NAND ADDRESS）は 24 ビット（23：00）であり、下位の 9 ビット（08：00）がメモリモジュールモデル 1 3 1 のページ内の格納位置を示すカラムアドレス（MA）として使用され、その上位 2 ビット（10：09）が、メモリモジュールモデル 1 3 1 内の 4 ページの中の 1 ページを指定するためのページセレクトアドレス（PA）として使用される。すなわち、メモリモジュールモデル 1 3 1 に与えられるメモリアドレスは、メモリアドレス（NAND ADDRESS）の下位 11 ビット（10：00）となる。

【0 0 3 8】

残りのメモリアドレス（NAND ADDRESS）の内、最上位の 2 ビット（23：22）は前述のテストモード指示情報（TEST\_MODE）として使用されるテストモード指定アドレス（TMA）である。最上位の 2 ビット（23：22）＝“00”は通常動作（NORMAL）を指定するものであり、この場合には、エラー制御モジュール 1 3 2 によるデータ変更処理動作は実行されない。最上位の 2 ビット（23：22）の他の 3 通りの組み合わせは、それぞれエラー動作（FAIL MODE）を指示するものである。エラー動作（FAIL MODE）の具体的な内容を図 6 に示す。

【0 0 3 9】

エラー制御モジュール 1 3 2 の動作モードはライト／リードの各々について 4 通りずつ定義されている。ライトモードにおいて、最上位の 2 ビット（23：22）＝“00”の場合には、エラー制御モジュール 1 3 2 の動作モードは PASS モードとなり、ライトデータをそのままメモリモジュールモデル 1 3 1 に供給する。最上位の 2 ビット（23：22）＝“01”の場合には、エラー制御モジ

ルール 132 の動作モードは 1 b i t \_ F a i l モードとなり、1 バイトのライトデータの最上位ビット (07) をビット反転した後に、メモリモジュールモデル 131 に供給する。最上位の 2 ビット (23 : 22) = “10” の場合には、エラー制御モジュール 132 の動作モードは 2 b i t \_ F a i l モードとなり、1 バイトのライトデータの上位 2 ビット (07 : 06) をビット反転した後に、メモリモジュールモデル 131 に供給する。さらに、最上位の 2 ビット (23 : 22) = “11” の場合には、エラー制御モジュール 132 の動作モードは 3 b i t \_ F a i l モードとなり、1 バイトのライトデータの上位 3 ビット (07 : 05) をビット反転した後に、メモリモジュールモデル 131 に供給する。

【0040】

ECC によって回復可能なビットエラーは 2 ビットエラーまでであるので、1 b i t \_ F a i l モードまたは 2 b i t \_ F a i l モードと、3 b i t \_ F a i l モードとを選択的に使用することにより、LSI モデル 12 のエラー検出・訂正機能を多角的に検証することが可能となる。

【0041】

リードモードにおいても、PASS モード、1 b i t \_ F a i l モード、2 b i t \_ F a i l モード、3 b i t \_ F a i l モードが定義されている。

【0042】

図 5 において、さらに残りのメモリアドレス (NAND ADDRESS) の内、中位の 9 ビット (20 : 12) は、前述のテストアドレス情報 (TEST\_ADDR) として使用されるアドレス (SA) である。この中位 9 ビット (20 : 12) で指定されたメモリ番地は、前述の比較モジュール 133 によって、下位 9 ビット (08 : 00) のカラムアドレスと比較される。つまり、下位 9 ビット (08 : 00) のカラムアドレス値が中位 9 ビット (20 : 12) で指定されたメモリ番地に一致したときに、最上位の 2 ビット (23 : 22) に従ってエラー制御モジュール 132 が動作する。

【0043】

ページリード／ページライトにおいては、下位 9 ビット (08 : 00) のカラムアドレスの値は、LSI モデル 12 から指定されるアドレス値を先頭として順



次+1ずつ更新されるので、ページ内のデータの内、中位9ビット（20：12）で指定されたメモリ番地に一致する1バイト分のデータが変更対象として選択されることになる。したがって、中位9ビット（20：12）の値の設定によって、図7のように、ページセレクトアドレスで指定されるページ内の任意のカラム位置のデータにエラーを発生させることができる。そして、そのエラーの内容は、最上位の2ビット（23：22）の値によって決定される。

## 【0044】

次に、図8および図9のフローチャートを参照して、本実施形態のシミュレーションプログラムによって実行されるシミュレーション方法の手順を説明する。

## 【0045】

図8はライトモード時のシミュレーション動作を示している。まず、テストマスタモデル11によってテストパターンファイル10の読み込みが行われ（ステップS11）、その読み込んだテストパターンファイル10の内容に従って、テストパターンが発生される（ステップS12）。このテストパターンには、メモリモデル13にライト動作を実行させるためのコマンド、メモリアドレス、ライトデータなどが含まれており、それらがLSIモデル12に与えられる。LSIモデル12は、テストマスタモデル11からの指示の内容を解釈し、それに応じた処理を実行する（ステップS13）。

## 【0046】

メモリアドレスが与えられた場合には、LSIモデル12はメモリモデル13をアクセスするために、そのメモリアドレスをメモリモデル13に発行する。この場合、そのメモリアドレスの下位11ビット（ページセレクトアドレスPA+カラムアドレスMA）はLSIモデル12からメモリモジュールモデル131にセットされる（ステップS14）。ページライトの場合には、カラムアドレスMAの値は通常はページ内の先頭番地を示す。

## 【0047】

次いで、メモリアドレスの中位9ビット（20：12）が、エラー発生位置を指定するアドレスSAとして比較モジュール133にセットされ、またメモリアドレスの上位2ビット（23：22）が動作モードを指定するアドレスTM

Aとしてエラー制御モジュール132にセットされる（ステップS15）。

【0048】

ライトデータが与えられた場合には、LSIモデル12はライトデータ（1バイト）を受け取るたびにECCを計算する（ステップS16）。すなわち、ECCは512バイトのデータに対して付加されるものであるので、新たなライトデータ（1バイト）を受け取るたびに、それに応じたECCの再計算が行われる。そして、そのライトデータがメモリモジュールモデル131に与えられる。以降は、メモリモデル13内の動作となる。

【0049】

メモリモデル13では、まず、比較モジュール133によってMA=SAの有無が判定される（ステップS17）。不一致の場合には、ライトデータ（1バイト）がそのままメモリモジュールモデル131のデータレジスタ機能部に書き込まれる（ステップS19）。一方、MA=SAの場合には、TMAに従ったビット反転動作がエラー制御モジュール132によって実行されることによってエラーデータ（1バイト）が生成され（ステップS18）、そのエラーデータがメモリモジュールモデル131のデータレジスタ機能部に書き込まれる（ステップS19）。

【0050】

この後、カラムアドレスMAの値が+1された後（ステップS20）、1ページ分のデータがデータレジスタに揃ったか否かが判断される（ステップS21）。1ページ分のデータが揃うまで、テキストパターンファイルからのライトデータの読み出し、ECC計算、データレジスタへの書き込みが繰り返し行われる。そして、1ページ分のデータとそれに対応するECCが揃った段階で、ページセレクトアドレスPAで指定されたページへの書き込みが実行される（ステップS22）。

【0051】

ECCは変更が加えられる前のライトデータを元に作成しているので、エラーデータを書き込んだページからデータとECCを読み出してLSIモデル12に与えることにより、メモリエラー発生時におけるLSIモデル12のエラー検出

- ・訂正機能を検証することができる。

## 【0052】

図9はリードモード時のシミュレーション動作を示している。まず、テストマスタモデル11によってテストパターンファイル10の読み込みが行われ（ステップS31）、その読み込んだテストパターンファイル10の内容に従って、テストパターンが発生される（ステップS32）。このテストパターンには、メモリモデル13にリード動作を実行させるためのコマンド、メモリアドレス、リードするデータの期待値データなどが含まれており、それらがLSIモデル12に与えられる。LSIモデル12は、テストマスタモデル11からの指示の内容を解釈し、それに応じた処理を実行する（ステップS33）。

## 【0053】

メモリアドレスが与えられた場合には、LSIモデル12はメモリモデル13をアクセスするために、そのメモリアドレスをメモリモデル13に発行する。この場合、そのメモリアドレスの下位11ビット（ページセレクトアドレスPA+カラムアドレスMA）はLSIモデル12からメモリモジュールモデル131にセットされる（ステップS34）。ページリードの場合には、カラムアドレスMAの値は通常はページ内の先頭番地を示す。

## 【0054】

次いで、メモリアドレスの中位9ビット（20:12）が、エラー発生位置を指定するアドレスSAとして比較モジュール133にセットされ、またメモリアドレスの上位2ビット（23:22）が動作モードを指定するアドレスTMAとしてエラー制御モジュール132にセットされる（ステップS35）。

## 【0055】

そして、LSIモデル12からの指示により、メモリモデル13のデータ読み出し処理が開始される。ページリード時には、メモリモジュールモデル131は、まず、ページセレクトアドレスPAで指定された1ページ分のデータ（データ+ECC）をデータレジスタ202に一括して読み出す（ステップS36）。そして、カラムアドレスMAを+1ずつ更新しながら、データレジスタ202から1バイト単位でデータの読み出しが行われる。この場合、メモリモデル13では

、まず、比較モジュール 1 3 3 によって  $MA = SA$  の有無が判定される（ステップ S 3 7）。不一致の場合には、リードデータ（1 バイト）がそのままメモリモデル 1 3 から L S I モデル 1 2 に読み出される（ステップ S 3 9）。一方、 $MA = SA$  の場合には、TMA に従ったビット反転動作がエラー制御モジュール 1 3 2 によって実行されることによってエラーデータ（1 バイト）が生成され（ステップ S 3 8）、そのエラーデータがメモリモデル 1 3 から L S I モデル 1 2 に読み出される（ステップ S 3 9）。

## 【 0 0 5 6 】

L S I モデル 1 2 では、リードデータを受け取るたびにそのデータから E C C が生成される（ステップ S 4 0）。これは、リードデータから新たな E C C を生成し、これを、メモリモデル 1 3 から読み出される E C C と比較することによってエラー検出・エラー訂正を行うためである。この後、メモリモデル 1 3 では、カラムアドレス MA の値が + 1 された後（ステップ S 4 1）、1 ページ分のデータがデータレジスタから読み出されたか否かが判断される（ステップ S 4 1）。1 ページ分のデータの読み出しが終了するまで、データレジスタからの読み出しが繰り返し実行される。この場合、実際には、ステップ S 3 7 以降の処理が繰り返されることになる。

## 【 0 0 5 7 】

1 ページ分のデータの読み出しが終了すると、テストパターンファイルからの新たなテストパターンの読み出しが開始される。

## 【 0 0 5 8 】

以上のように、リードモード時においても、必要に応じて任意の番地からの読み出しデータにエラーを生成させることができ、メモリエラー発生時における L S I モデル 1 2 のエラー検出・訂正機能を検証することができる。

## 【 0 0 5 9 】

なお、本実施形態のシミュレーション方法はコンピュータプログラムによって実現されているので、そのプログラムをコンピュータ読み取り可能な記録媒体に記録しておくことにより、通常のコンピュータ上でシミュレーション動作を実行することができる。また、本実施形態のメモリモデル 1 3 はエラー発生機能付き

のメモリモデルとして汎用的に使用することもできる。つまり、ライトしたデータを確実に読み出すだけの通常のメモリモデルに図 2 のエラー制御モジュール 1 3 2 および比較モジュール 1 3 3 の記述を追加し、それをメモリモデルとして使用するだけで、メモリアドレスの指定によるエラー発生制御を容易に行うことができる。

#### 【 0 0 6 0 】

さらに、本実施形態では、シミュレーションシステムをコンピュータプログラムにて実現したが、図 1 および図 2 の構成を全てハードウェアによって実現することも可能である。この場合、プリント回路基板上に図 1 および図 2 で説明したモデルに対応するロジックが実装されることになる。

#### 【 0 0 6 1 】

##### 【発明の効果】

以上説明したように、本発明によれば、メモリアドレスの指定によってメモリエラーを発生させることができるので、メモリのエラー動作についても容易にシミュレーションすることが可能となる。よって、メモリエラー発生時の L S I の動作を正しく検証することができる。また、特に、メモリ動作のシミュレーションに使用するメモリアドレスのビット部以外の他のビット部を用いて、エラーモードとエラー発生位置を指定できるので、メモリアドレスの指定だけで、任意の位置に任意のエラーを発生させることができる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の一実施形態に係るシミュレーションシステムの構成を示すブロック図。

#### 【図 2】

同実施形態のシミュレーションシステムで用いられるメモリモデルの機能構成を示すブロック図。

#### 【図 3】

同実施形態のシミュレーションシステムで動作検証されるメモリカード内のフラッシュ E E P R O M の具体的な構成の一例を示す図。

【図 4】

同実施形態のシミュレーションシステムで用いられるメモリモデルに割り当てられるメモリアドレス空間の一例を示す図。

【図 5】

同実施形態のシミュレーションシステムにおけるメモリアドレスのマッピング例を示す図。

【図 6】

同実施形態のシミュレーションシステムにおけるエラーモードを説明するための図。

【図 7】

同実施形態のシミュレーションシステムにおけるエラー発生位置制御の一例を示す図。

【図 8】

同実施形態のシミュレーションシステムにおけるデータライト時のシミュレーション動作を示すフローチャート。

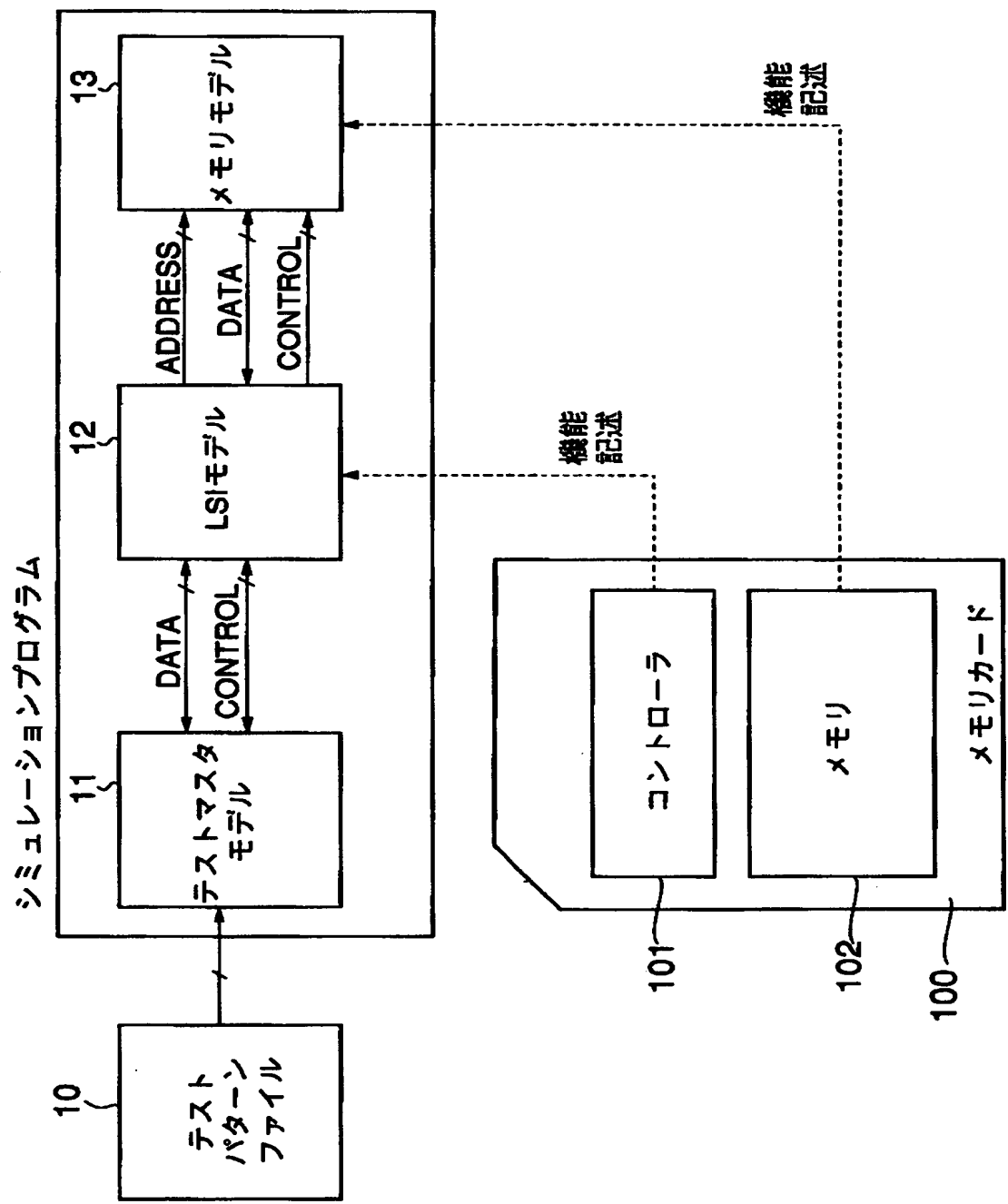
【図 9】

同実施形態のシミュレーションシステムにおけるデータリード時のシミュレーション動作を示すフローチャート。

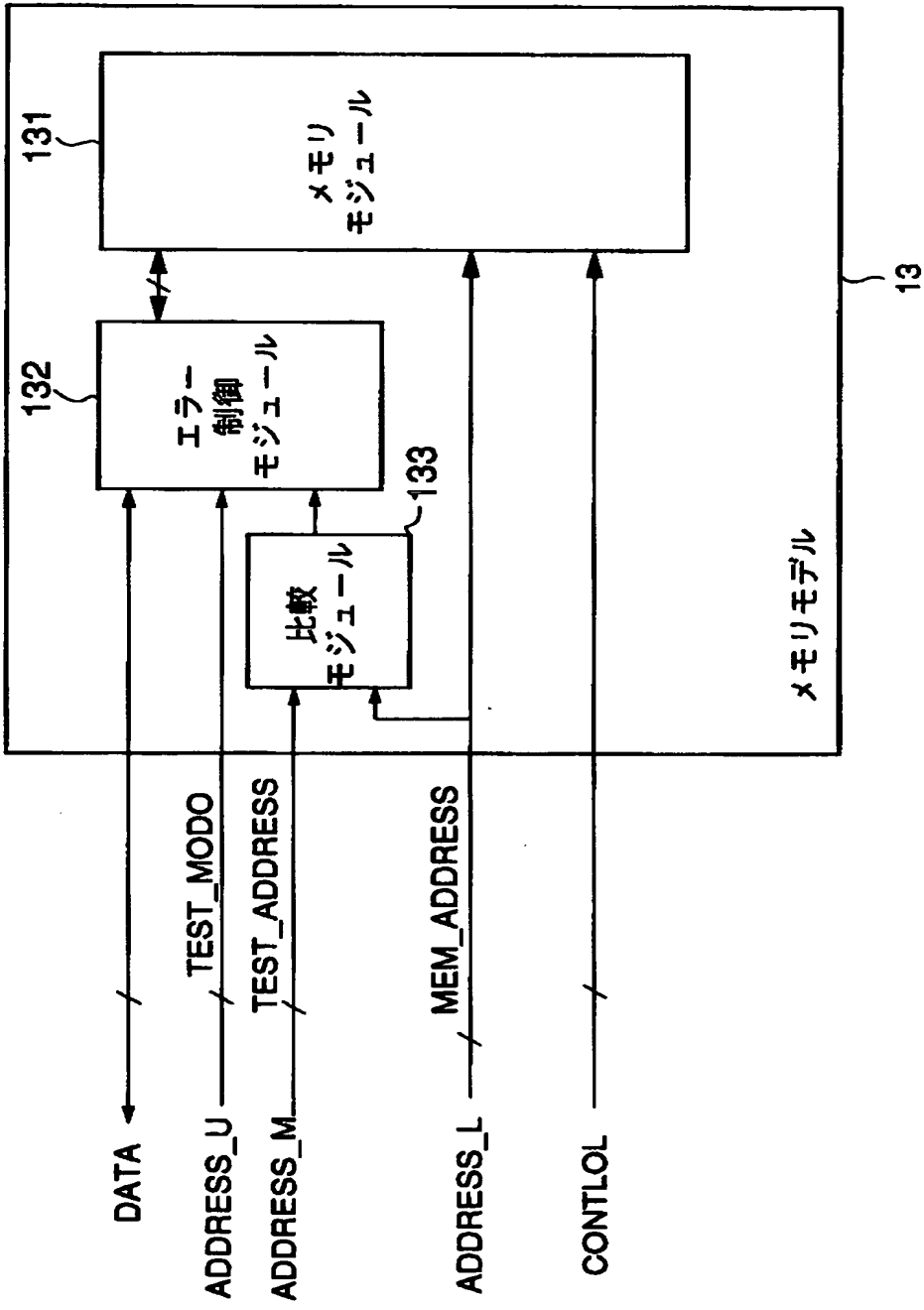
【符号の説明】

- 1 0 …テストパターンファイル
- 1 1 …テストマスタモデル
- 1 2 …L S I モデル
- 1 3 …メモリモデル
- 1 0 0 …メモリカード
- 1 0 1 …コントローラ
- 1 0 2 …メモリ
- 1 3 1 …メモリモジュールモデル
- 1 3 2 …エラー制御モジュール
- 1 3 3 …比較モジュール

【書類名】 図面  
【図 1】

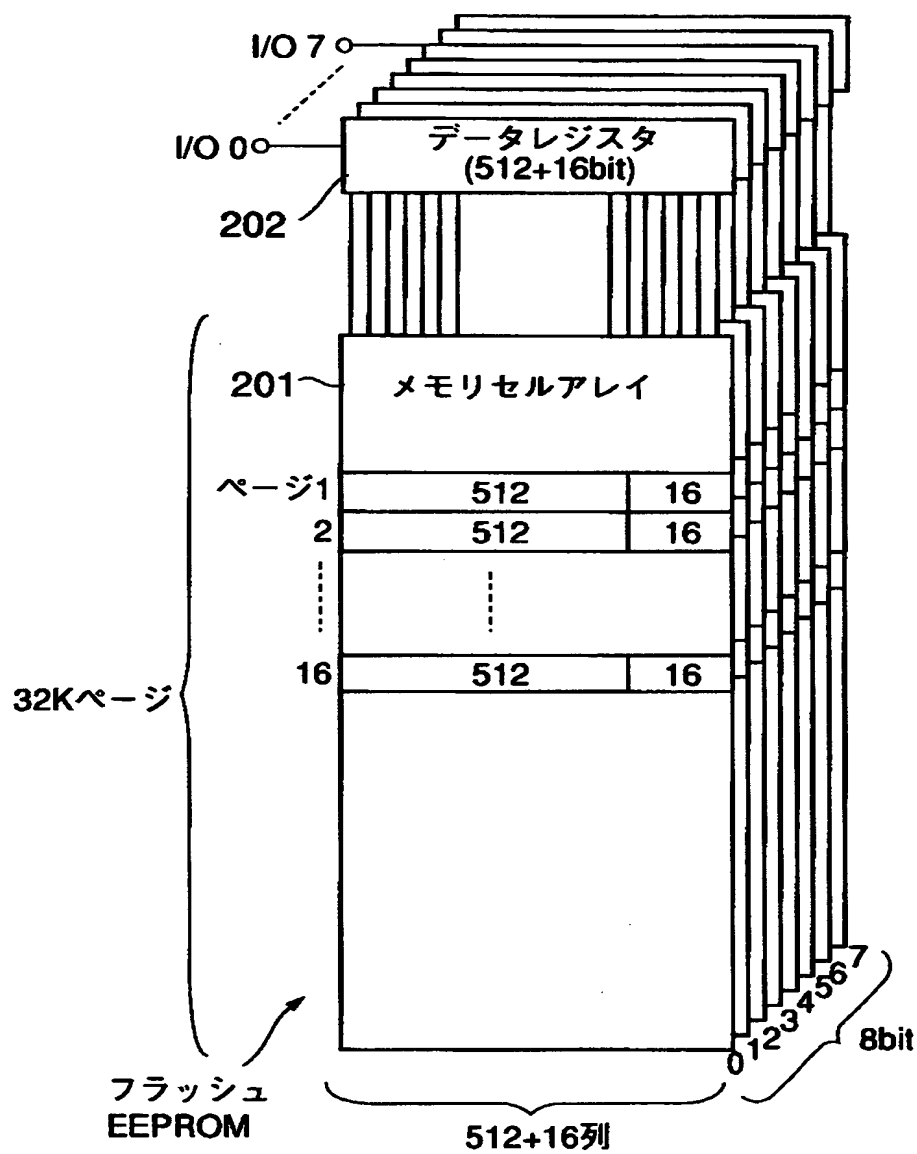


【図 2】





【図 3】



【図 4】

ページ1	ECC
2	ECC
3	ECC
4	ECC

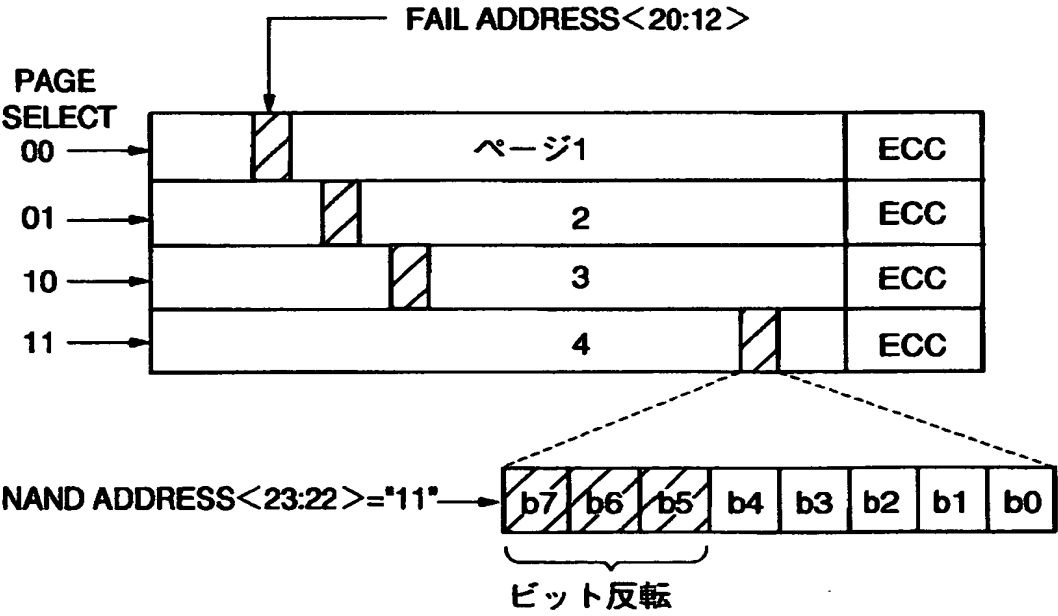
【図 5】

	TMA		SA		PA	MA
NAND ADDRESS	23:22	21	20:12	11	10:09	08:00
NORMAL	00	*	*	*	PAGE SELECT	COLUMN ADDRESS
FAIL	FAIL MODE	*	FAIL ADDRESS	*	PAGE SELECT	COLUMN ADDRESS

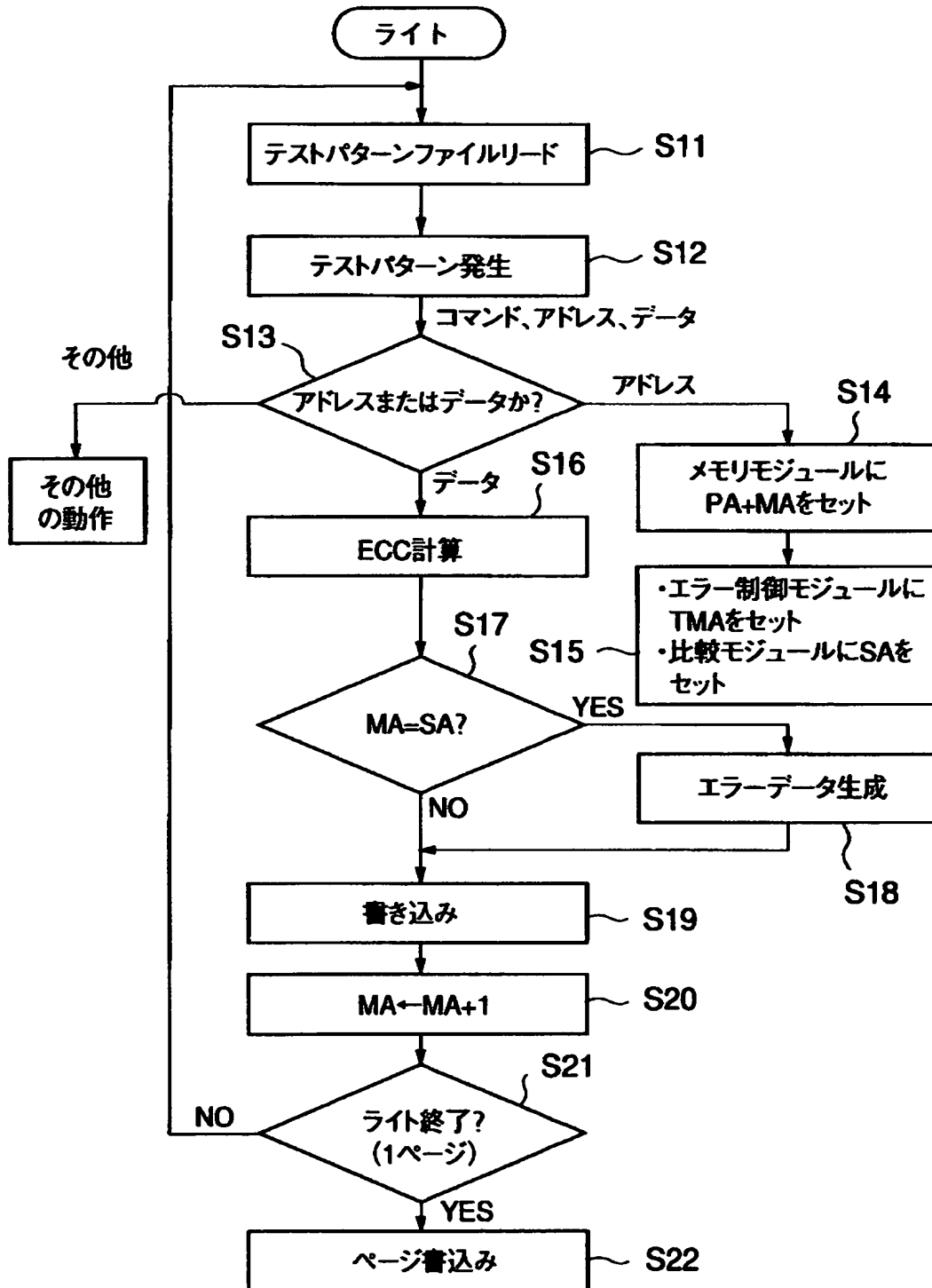
【図 6】

W/R	NAND ADDRESS <23:22>	MODE	FAIL DATA
WRITE	00	PASS	NORMAL
	01	1bit_Fail	DATA<07>isINVERT
	10	2bit_Fail	DATA<07:06>isINVERT
	11	3bit_Fail	DATA<07:05>isINVERT
READ	00	PASS	NORMAL
	01	1bit_Fail	DATA<07>isINVERT
	10	2bit_Fail	DATA<07:06>isINVERT
	11	3bit_Fail	DATA<07:05>isINVERT

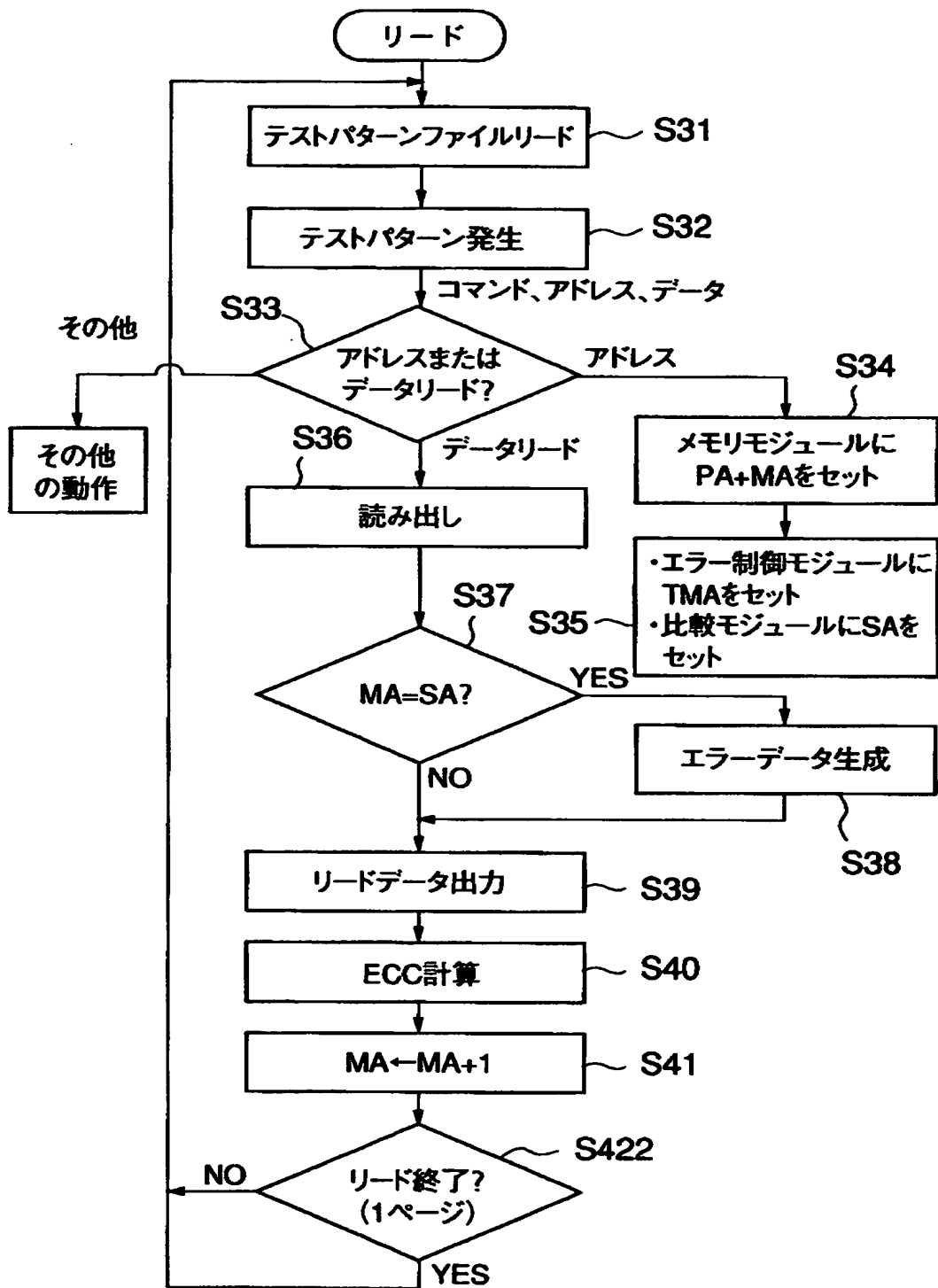
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】メモリのエラー動作を容易にシミュレーションできるようにし、メモリエラー発生時のLSIの動作を正しく検証する。

【解決手段】メモリモジュールモデル131には、メモリアドレス（ADDRESS）の内、下位ビット部（ADDRESS\_\_L）だけが有効メモリアドレス（MEM\_\_ADDRESS）として供給される。エラー制御モジュール132には、メモリアドレス（ADDRESS）の上位ビット部（ADDRESS\_\_U）がテストモード指示情報（TEST\_\_MODE）として与えられる。テストアドレス情報（TEST\_\_ADDR）はエラーを発生させたいアドレス（メモリモジュール131上の番地）を指定するためのものであり、これが有効メモリアドレス（MEM\_\_ADDRESS）の値と一致した時に、エラー制御モジュール132によってデータ変更処理動作が実行される。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝